

System Odra 1305

Zasadnicze cele oraz szczegółowe funkcje kolejnej jednostki centralnej Odra 1305 jak zwykle wyznaczał oraz w szczegółach ustalał szef, wybitny specjalista komputerowy i organizator całego przedsięwzięcia matematyk Thanasis Kamburelis. Konstrukcją oraz konkretnymi rozwiązaniami logicznymi nowego procesora zajmował się młody wtedy zespół inżynierów logików drugiej pracowni procesorowej prowadzonej przez Adama Urbanka (m. in. Juliusz Sokołowski, Bogdan Kasiński, Maria Horwat, Leon Adamów, Władysław Bogdan, Roman Jakóbiec, Andrzej Lepszonek). Od strony programowej tworzenie systemu wspomagali pracownicy zespołu mikroprogramowania (funkcje rozkazowe procesora oraz testy) pod kierunkiem Edmunda Szajera, a także programiści z pracowni systemów operacyjnych nadzorowanej przez Piotra Kremienowskiego.

Do charakterystycznych rozszerzeń funkcjonalnych procesora Odra 1305 należały: możliwość adresowania pamięci operacyjnej do maksymalnej pojemności 256K (262 144 słów 24-bitowych) instalowanej blokami po 32K lub 64K, jednoczesna praca maksymalnie 16-tu programów użytkowych pod kontrolą systemu operacyjnego E6RM, instalacja programowanego zegara do rozliczania działania programów użytkowych, instalacja licznika czasu rzeczywistego niezbędnego w sterowaniu obiektowym, mikroprogramowana implementacja wszystkich rozkazów ekstrakodowych, a przede wszystkim posiadanie w rozbudowanych wersjach niezwykle wydajnego systemu zarządzającego całą infrastrukturą systemu – w postaci programu sterującego GEORGE2 (taśmowy) lub GEORGE3 (dyskowy). Jak się później okazało, system GEORGE3 (EWG3) cieszył się niezwykle dużym zainteresowaniem dużych przedsiębiorstw, zwłaszcza w sytuacjach, kiedy oprócz prac wsadowych trzeba było jednocześnie zarządzać na bieżąco (*online*) procesem produkcyjnym w wieloprogramowym trybie pracy. W wielozadaniowym systemie EWG3 liczba jednocześnie uruchamianych programów użytkowych nie miała żadnych ograniczeń ilościowych, a efektywna praca programów użytkowych była limitowana jedynie dostępem do wolnych zasobów pamięci operacyjnej. Im pamięć operacyjna była większa, tym szybciej przebiegały procesy przetwarzania – bez zbędnego oczekiwania w kolejce na udostępnianie zasobów dla danych.

Nadrzędną sprawą nowego procesora Odra 1305 było uzyskanie procesora o istotnie większej mocy obliczeniowej, która pozwalałaby na bardziej ekonomiczne wykorzystanie przyłączonego do niej licznego już parku krajowych urządzeń zewnętrznych. Okazało się, że koszt zewnętrznych urządzeń towarzyszących rozbudowanemu systemowi do przetwarzania danych jest większy od kosztu samej jednostki centralnej zarządzającej takim zestawem. Ponadto nadszedł w końcu czas, aby unowocześnić i zoptymalizować konstrukcję wielu podzespołów komputerowych, na które to prace nie było czasu w trakcie szybkiego projektowania systemu Odra 1304. Istotne zwiększenie mocy jednostki centralnej Odra 1305 stało się więc zasadniczym celem i ten efekt uzyskano dzięki jednoczesnemu działaniu w kilku kierunkach: logicznym, konstrukcyjnym oraz technologicznym. Prace nad nową konstrukcją systemu Odra 1305 obejmowały:

- usprawnienie mikroprogramowanego sterowania jednostką centralną;
- zastosowanie w logice procesora układów scalonych serii TTL/SSI (trzecia generacja);
- modernizację bloku mikroprogramów (cykl 300 ns, pojemność 2K, słowo sterujące 48 bitów);
- instalację pamięci ferrytowej 64K (cykl 1,2/1,8 ns), rozszerzaną modułami po 32K do 256K słów);
- mikroprogramowaną realizację ekstrakodów z podstawowej listy rozkazów procesora;
- implementację szybkiej linii przeniesień sumatora na układach serii TTLS (Schottky);

- układową realizację 8 rejestrów programowych (po 24 bity), stanowiących pełny odpowiednik komórek pamięci operacyjnej o najniższych adresach;
- rozszerzenie trybu adresowego do 18 bitów czyli do 256K słów (zamiast 15-tu bitów jak w Odrze 1304);
- zastosowanie układów TTL/MSI w miarę ich dostępności na rynku;
- wdrożenie zewnętrznej pamięci dyskowej dla danych z wymiennymi talerzami (8 MB, 30 MB lub 60 MB);
- konstrukcję nowych urządzeń zewnętrznych z zastosowaniem układów scalonych TTL;
- zaprojektowanie multipleksera MPX 325, pozwalającego na pracę z wieloma (do 21 szt.) oddalonymi urządzeniami poprzez linie telefoniczne;
- istotną modernizację automatyki i systemu zasilania pod kątem jego efektywności przetwarzania;
- zapewnienie odpowiedniej niezawodności kompletnego systemu komputerowego.

Spełnienie tych postulatów oraz udane wdrożenie ich do produkcji seryjnej pozwoliło osiągnąć rzadko spotykaną w tamtych czasach szybkość operacji arytmetycznych procesora, sięgającą 370 tys. działań stałoprzecinkowych na sekundę (słowo 24 bitowe). Według kontrolnej mieszanki testowej Gibsson Test (wiele różnych typów rozkazów w uzgodnionych i stałych proporcjach) odpowiadało to mocy obliczeniowej około 270 tys. operacji na sekundę. W tamtych czasach była to rzeczywiście duża szybkość przetwarzania, niemająca swej konkurencji między Łabą a Kamczatką. Istotnym utrudnieniem dla projektantów systemu było jednak wyposażenie tak szybkiego komputera w odpowiednie urządzenia zewnętrzne, zarówno w te modernizowane, jak i stosowane po raz pierwszy: czytnik kart, nowa drukarka wierszowa, multipleksery i terminale zdalne oraz różnorodne pamięci dyskowe o wymiennych nośnikach danych. Trudności z uruchomieniem ich produkcji w kraju były porównywalne z samym projektem i produkcją procesora.

Projekt procesora i systemu Odra 1305, jego konstrukcja, uruchomienie i produkcja powstały całkowicie siłami wrocławskich pracowników ELWRO (liczne pracownie OBR, Zakład Doświadczalny, Produkcja, Serwis). Tajemniczym i mało znanym epizodem – a jak później okazało się wielokrotnie interpretowanym fałszywie – były spotkania z konstruktorami warszawskiego Instytutu Maszyn Matematycznych. Prawdopodobnie ich celem było zaimplementowanie w naszym procesorze kanału (bądź kanałów) do obsługi modułów jednolitego systemu (EC) – w celu wykorzystania powstającego już w krajach RWPG parku urządzeń zewnętrznych serii Riad. Na etapie projektowym procesora Odra 1305 – pod nadzorem i z uczestnictwem Thanasisa Kamburelisa – odbyły się więc dwa (bodajże w 1969 r.) seminaria wyjazdowe (Krynica, Białobrzegi), na których jako projektanci logiki procesora przedstawialiśmy specjalistom z IMM organizację systemu ICL 1900 (Odra 1304/1305) oraz własną wersję rozwiązania logiki nowego procesora, z wszelkimi znanymi nam wtedy szczegółami. Moim zdaniem był to karkołomny i nierealny pomysł, a przynajmniej praca naukowa na dobrych kilka lat – jeśli nie więcej – zwłaszcza w delikatnej materii modyfikowania jądra oprogramowania systemowego. Być może jednak, wtedy chodziło jedynie o rozpoznanie koncepcji i stanu zaawansowania prac prowadzonych w ELWRO nad nowym procesorem. Tak czy inaczej, pomimo tych starań z połączenia przez IMM dwóch całkowicie niekompatybilnych systemów komputerowych (IBM oraz ICL) nic nie wyszło oprócz powtarzanych do dzisiaj informacji, że w projektowaniu procesora Odra 1305 udział brał Instytut Maszyn Matematycznych. Jako konstruktor prowadzący od początku do końca cały projekt systemu Odra 1305 stwierdzam, że jest to całkowita nieprawda.